低価格
計装用アンプ

AD622

特長

使いやすさを重視した回路設計
低価格
2個または3個のオペアンプで構成したディスクリート設計の計装用
　アンプより優れた性能
抵抗を外付けせずにユニティ・ゲイン設定動作が可能
1個の抵抗を外付けするだけで任意のゲイン設定が可能
（ゲイン設定範囲：2～1000倍）
幅広い電源電圧範囲：±2.6 V～±15 V
8ピンのプラスチックDIPとSOICパッケージを用意
ローパワー：1.5 mA maxの電源電流

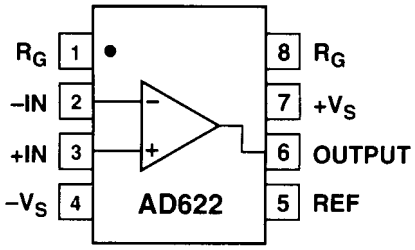
優れたDC性能
ゲイン精度：0.15%（ゲイン＝1）
入力オフセット電圧：125 μVmax
入力オフセット・ドリフト：1.0 μV/°Cmax
入力バイアス電流：5 nA max
同相除去比：66 dB min（ゲイン＝1）
ノイズ性能
入力電圧ノイズ：12 nV/√Hz@1 kHz
入力換算ノイズ：0.60 μVp－p（0.1 Hz～10 Hz、ゲイン＝10）

優れたAC性能
小信号帯域幅：800 kHz（ゲイン＝10）
セントリング時間：10 μs（0.1%、ゲイン＝1～100）
スルー・レート：1.2 V/μs

アプリケーション

トランスデューサ・インターフェース
低価格の熱電対アンプ
産業用プロセス制御
差動アンプ
低価格のデータ・アクイジション回路

内部接続図



概要

AD622は中程度の精度にターゲットを置いた低価格の計装アンプで、1個の抵抗を外付けするだけで2倍から1,000倍までの範囲のゲインを任意に設定することができます。ゲイン1（ユニティ・ゲイン）設定動作のときには、抵抗を外付けする必要はまったくありません。AD622は必要な性能をすべてチップに内部に用意した差動または減産アンプ・システムICで、レーザ・トリミングの施された高精度抵抗が内蔵されているので、優れた直線性と同相除去比性能を実現しています。

2個または3個の低価格オペアンプを使用して構成するディスクリート設計の計装用アンプの代わりにAD622を使用することが可能です。この方法をとることによって、ディスクリート設計回路では得られない優れた同相除去比性能、直線性、温度安定性、信頼性が確保されるだけでなく、さらに回路基板スペースの節減が可能になります。しかもAD622は低価格なので、厳しいコスト節減ターゲットをクリアするためにディスクリート設計で計装用アンプ回路を組む必要がありません。つまり、AD622は価格が低いだけでなく、高い性能を備え、しかも回路基板スペースの節約にも役立ちます。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.B

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　電話03（5402）8200　〒105－6891
　　ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原３－５－３６　電話06（6350）6868㈹　〒532－0003
　　新大阪第２森ビル

AD622－仕様

（特に指定のない限り、T_A＝＋25℃、V_S＝±15 V、R_L＝2 kΩの条件での代表値を示します。）

パラメータ	条件	AD622 Min	AD622 Typ	AD622 Max	単位
ゲイン	G＝1＋（50.5 k/R_G）				
ゲイン範囲		1		1000	
ゲイン誤差[1]	V_{OUT}＝±10 V				
G＝1			0.05	0.15	%
G＝10			0.2	0.50	%
G＝100			0.2	0.50	%
G＝1000			0.2	0.50	%
非直線性	V_{OUT}＝±10V				
G＝1～1000	R_L＝10 kΩ		10		ppm
G＝1～100	R_L＝2 kΩ		10		ppm
ゲイン対温度性能	Gain＝1			10	ppm/℃
	Gain＞1[1]			－50	ppm/℃
電圧オフセット	（RTI［入力換算］誤差のトータル値＝V_{OSI}＋V_{OSO}/G）				
入力オフセット電圧、V_{OSI}	V_S＝±5 V～±15 V		60	125	μV
オフセット・ドリフトの平均値	V_S＝±5 V～±15 V			1.0	μV/℃
出力オフセット電圧、V_{OSO}	V_S＝±5 V～±15 V		600	1500	μV
オフセット・ドリフトの平均値	V_S＝±5 V～±15 V			15	μV/℃
入力換算オフセット対電流電圧性能（PSR）	V_S＝±5 V～±15 V				
G＝1		80	100		dB
G＝10		95	120		dB
G＝100		110	140		dB
G＝1000		110	140		dB
入力電源					
入力バイアス電流			2.0	5.0	nA
バイアスドリフトの平均値			3.0		pA/℃
入力オフセット電流			0.7	2.5	nA
オフセットドリフトの平均値			2.0		pA/℃
入力					
入力インピーダンス					
差動			10 ‖ 2		GΩ ‖ pF
同相			10 ‖ 2		GΩ ‖ pF
入力電圧範囲[2]	V_S＝±2.6 V～±5 V	－V_S＋1.9		＋V_S＋－1.2	V
動作温度範囲		－V_S＋2.1		＋V_S＋－1.3	V
	V_S＝±5 V～±18 V	－V_S＋1.9		＋V_S＋－1.4	V
動作温度範囲		－V_S＋2.1		＋V_S＋－1.4	V
同相除去比					
（DC～60 Hz、1 kΩの信号源抵抗・不均衡時）	V_{CM}＝0 V～±10 V				
G＝1		66	78		dB
G＝10		86	98		dB
G＝100		103	118		dB
G＝1000		103	118		dB
出力					
出力電圧振幅レベル	R_L＝10 kΩ				
	V_S＝±2.6 V～±5 V	－V_S＋1.1		＋V_S－1.2	V
動作温度範囲		－V_S＋1.4		＋V_S－1.3	V
	V_S＝±5 V～±18 V	－V_S＋1.2		＋V_S－1.4	V
動作温度範囲		－V_S＋1.6		＋V_S－1.5	V
短絡電源			±18		mA

パラメータ	条件	AD622 Min	AD622 Typ	AD622 Max	単位
ダイナミック応答特性					
小信号−3 dB帯域幅					
G=1			1000		kHz
G=10			800		kHz
G=100			120		kHz
G=1000			12		kHz
スルー・レート			1.2		V/μS
セトリング時間（0.1%）	10 Vステップ				
G=1～100			10		μS
ノイズ性能					
電圧ノイズ、1 kHz	RTIノイズのトータル値 $=\sqrt{(e_{ni}^2)+(e_{no}/G)^2}$				
入力電圧ノイズ、e_{ni}			12		nV/√Hz
出力電圧ノイズ、e_{no}			72		nV/√Hz
RTI（入力換算）ノイズ、0.1 Hz～10 Hz					
G=1			4.0		μVp-p
G=10			0.6		μVp-p
G=100～1000			0.3		μVp-p
電流ノイズ	f=1 kHz		100		fA/√Hz
0.1 Hz～10 Hz			10		pAp-p
電圧リファレンス入力					
R_{IN}			20		kΩ
I_{IN}	V_{IN}+、V_{REF}=0		+50	+60	μA
電源電圧		$-V_S+1.6$		$+V_S-1.6$	V
ゲイン対出力			1±0.0015		
電源					
動作電源電圧範囲[3]		±2.6		±1.8	V
無負荷時電源電流	V_S=±2.6～±18 V		0.9	1.3	mA
対温度			1.1	1.5	mA
動作温度範囲					
規定性能保証範囲			−40～+85		℃

注
1 外付け抵抗R_Gの影響は含まれていません。
2 どちらか一方の入力をグラウンドに接続。G=1です。
3 PSR（電源変動除去比）の規定に適用する電源電圧範囲と同一であると規定しています。

仕様は予告なしに変更されることがあります。

絶対最大定格[1]

電源電圧 …… ±18 V
内部消費電力[2] …… 650 mW
入力電圧（同相） …… $\pm V_S$
差動入力電圧 …… ±25 V
出力短絡時間 …… 無制限
保管温度範囲（N、Rパッケージ） …… −65℃ ～ +125℃
動作温度範囲
　AD622A …… −40℃ ～ +85℃
リード温度範囲（ハンダ付け10秒） …… +300℃

注
[1] “絶対最大定格”に示す条件を超えると、デバイスに永久的な損傷を与える可能性があります。これは単にストレス上の定格を示したもので、これらの条件または動作仕様の項に示した値を超える条件の下でデバイスが機能動作することを意味するものではありません。デバイスが絶対最大定格の条件に長時間さらされた場合、その信頼性が損なわれる場合があります。
[2] フリー・エア状態でのAD622の熱抵抗値を下記に示します。
8ピン・プラスチックDIPパッケージ：θ_{JA}=95℃/W
8ピンSOICパッケージ：θ_{JA}=155℃/W

オーダー・ガイド

型名	動作温度範囲	パッケージ・オプション*
AD622AN	−40℃ ～ +85℃	N-8
AD622AR	−40℃ ～ +85℃	SO-8
AD622AR-REEL	−40℃ ～ +85℃	13" Reel
AD622AR-REEL7	−40℃ ～ +85℃	7" Reel

*N=プラスチックDIP、SO=Small Outline

注意
ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD622には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

代表的な性能特性

（特に指定のない限り、T_A=+25℃、V_S=±15 V、R_L=2 kΩの条件での性能特性図を掲載します。）

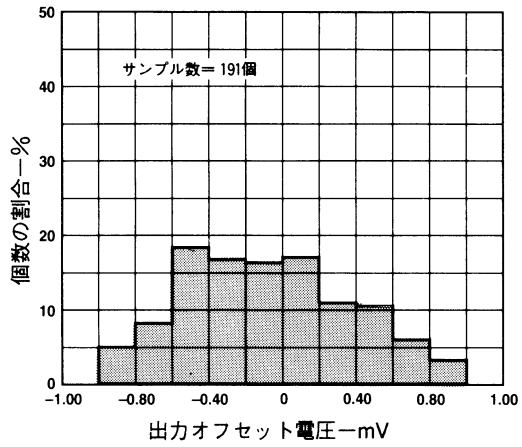


図1．出力オフセット電圧の代表的な分析

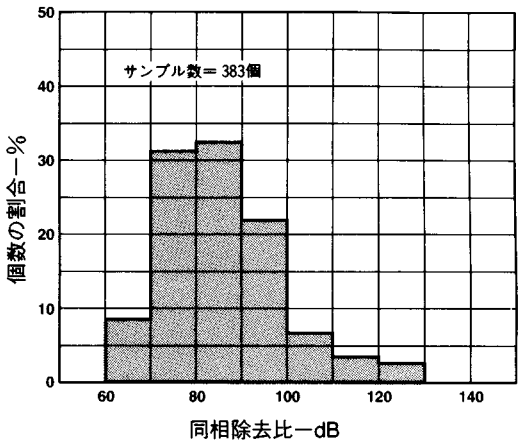


図2．同相除去比の代表的な分布

代表的な性能特性

（特に指定のない限り、T_A＝＋25℃、V_S＝±15 V、R_L＝2 kΩの条件での性能特性図を掲載します。）

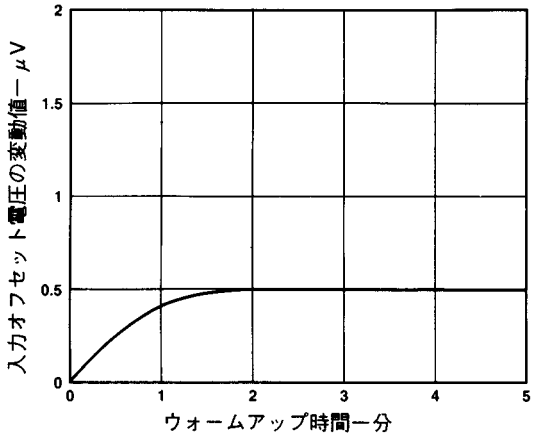


図3．ウォームアップ時間と入力オフセット電圧の変動の関係

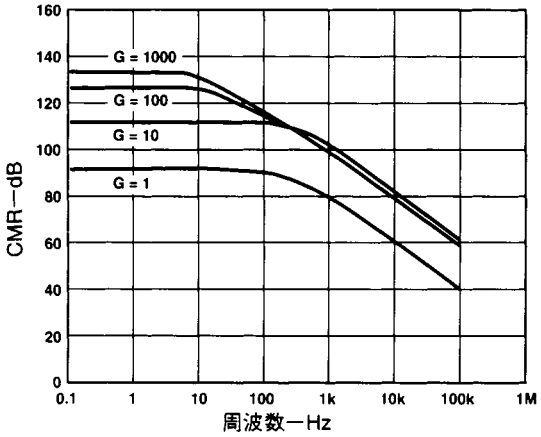


図6．CMRの周波数特性（RT1、0～1Ωの信号源抵抗-不平衡時）

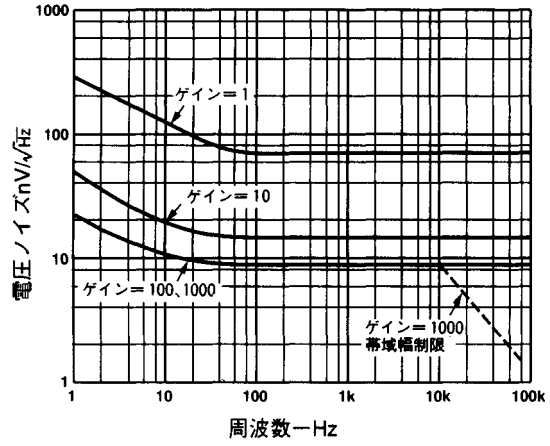


図4．電圧ノイズ・スペクトル密度の周波数特性（G＝1～1000）

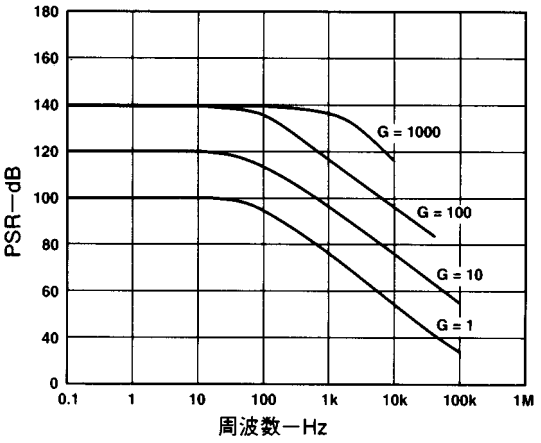


図7a．正のPSRの周波数特性（RTI、G＝1～1000）

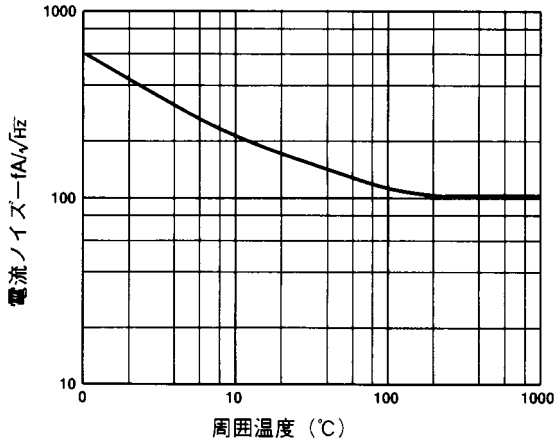


図5．電流ノイズ・スペクトル密度の周波数特性

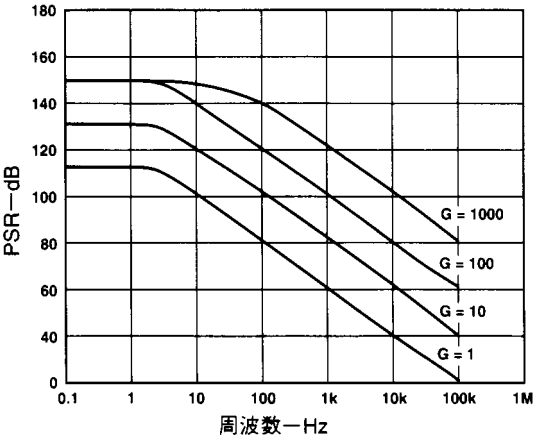


図7b．負のPSRの周波数特性（RTI、G＝1～1000）

AD622—代表的な性能特性

（特に指定のない限り、T_A＝＋25℃、V_S＝±15 V、R_L＝2 kΩの条件での性能特性図を掲載します。）

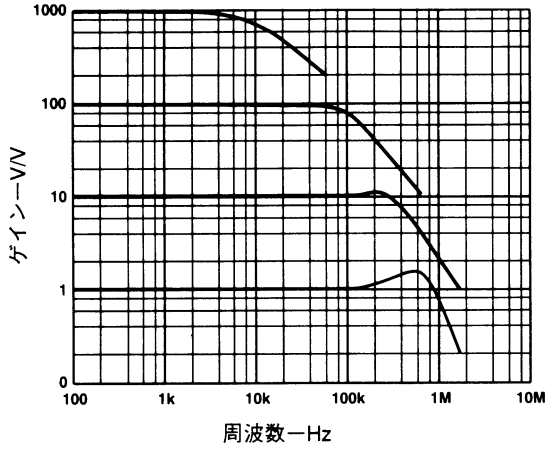


図8．ゲインの周波数特性

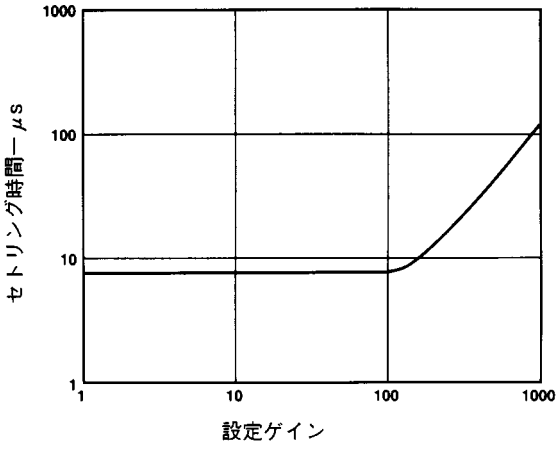


図11．設定ゲインとセトリング時間（0.1%）の関係

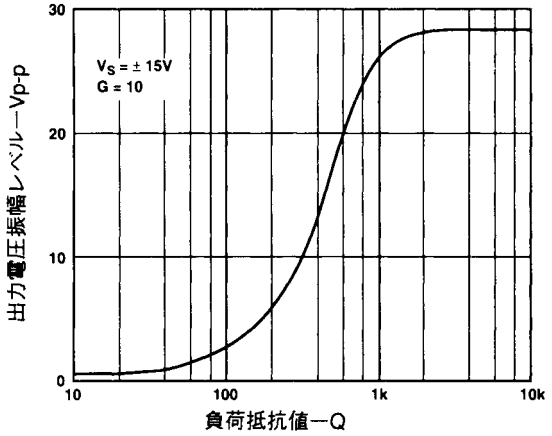


図9．負荷抵抗値と出力電圧振幅レベルの関係

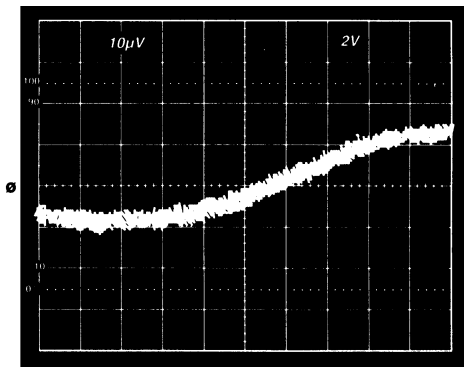


図12．ゲイン非直線性、G＝1、R_L＝10 kΩ（20 μV＝2 ppm）

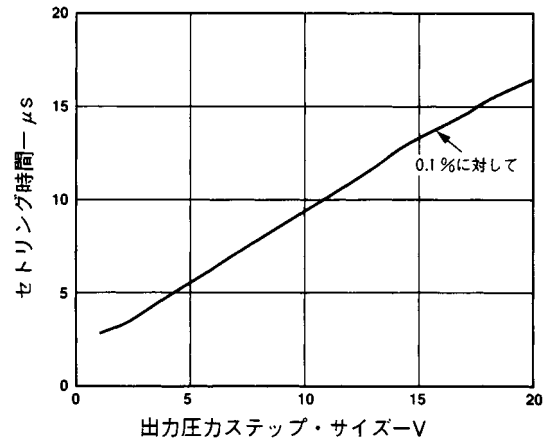


図10．出力電圧ステップ・サイズとセトリング時間の関係（G＝1）

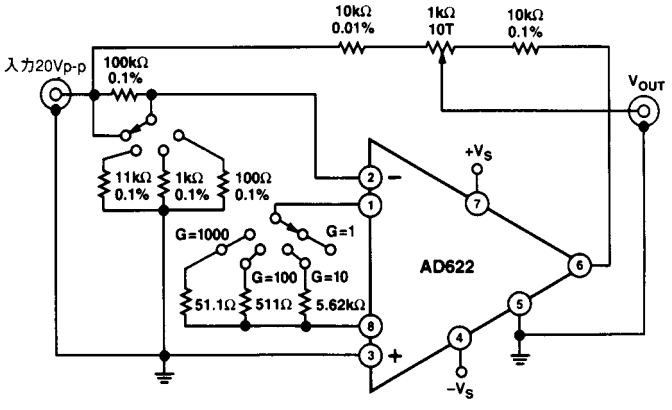


図13．セトリング時間測定用回路

AD622の動作理論

AD622は、従来から利用されている3個のオペアンプを使用して計装用アンプを構成する回路手法に変更を加えたモノリシックICの計装用アンプです。AD622のチップの内部には絶対値のトリミングが既に施された抵抗が用意されているので、1個の抵抗を外付けするだけでユーザはゲインを高精度に（ゲイン＝100のときゲイン誤差が0.5%）プログラミング設定することができます。AD622はモノリシック構成で、しかもレーザ・ウェハ・トリミングが施されているので、回路部品間の高精度なマッチングとトラッキングが保証され、一貫した高レベル性能が維持されます。

AD622の回路内部では高い精度を確保する目的で、2個の入力トランジスタQ1とQ2によって1つの差動ペア・バイボーラ入力を構成しています。Q1-A1-R1ループとQ2-A2-R2ループを経由した帰還ループによって、入力トランジスタQ1とQ2のコレクタ電流を一定のレベルに維持しています。これによって、入力電圧が外付けのゲイン設定用抵抗R_G間に印加されます。したがって、各入力とアンプA1/A2の出力間には$G=(R1+R2)/R_G+1$のゲイン式で求められる差動ゲインが設定されます。ユニティ・ゲイン動作の減算アンプA3によって同相信号がすべて除去されるので、REFピンの電位を基準としたシングル・エンドの信号が出力されることになります。

R_Gに使用する値によっても、プリアンプ回路段のトランスコンダクタンスの値が決まります。R_Gの値を下げていくと設定ゲインが高くなるので、プリアンプダ段のトランスコンダクタンス値は入力トランジスタのトランスコンダクタンスに対して漸近的に増加します。これには、次に説明するように3つの重要な利点があります。その利点とは、(a)プログラミング設定ゲインを高くするとオープン・ループ・ゲインがブーストされるので、ゲインに関連した誤差が低減されます。(b)(C1、C2およびプリアンプのトランスコンダクタンス値によって決まる)ゲイン帯域幅積はプログラミング設定ゲインを高くすると、それに応じて増加するので、周波数応答の最適化が可能になります。(c)入力電圧ノイズの値が12 nV/$\sqrt{Hz}$に下がります。この値は主として、入力トランジスタのコレクタ電流とベース抵抗値によって決まります。

AD622のチップ内部に用意されたゲイン設定抵抗R1とR2は25.25 kΩの絶対値にトリミングされているので、1個の抵抗を外付けするだけでゲインを高精度にプログラミング設定することが可能です。

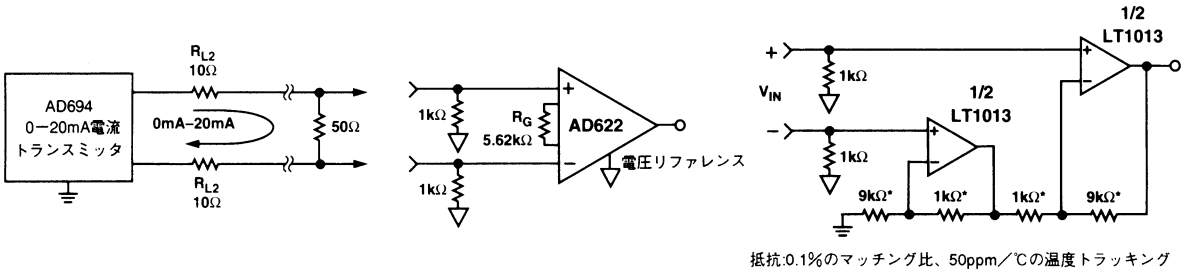
装用アンプを購入するか、あるいはディスクリート設計で製作するか？

代表的なアプリケーション回路での誤差見積りの比較

AD622を使用すれば、2個のオペアンプを使用してディスクリート設計で回路を組んだ計装用アンプよりも低価格で性能の高いという利点が得られ、しかも回路スペース・サイズが小さく、何よりも部品点数が少なくて済みます。図14に示す代表的なアプリケーション回路では、電流トランスミッタAD694から出力される0-20 mA信号の受信と増幅処理にゲイン10が必要です。このプロセス電流は50Ωのシャント抵抗で電圧に変換されます。信号の長距離伝送を行なうアプリケーションの場合には、ライン・インピーダンスが大きくなることがあるので、差動の電圧計測が不可欠になります。トランスミッタとレシーバのグラウンド・リターン間が接続されていないときには、各入力とグラウンド間にDC信号経路が必要です。図14の回路では1kΩの抵抗を2個使用することで、この処理を行なっています。回路の精度に影響を与える各種の誤差要因を算出する方法を表Ⅰの誤差見積り表に詳述していますので、参考にしてください。

AD622の方が低コストでより高い精度を実現します。このケースでは、ディスクリート設計で製作した回路のコスト超過分は主に抵抗回路の精度のマッチングに費やされています。これより安価なディスクリート抵抗部品を使用し、トリミングあるいはハンド・セレクトによって高い同相除去比性能を確保する方法で回路を製作することも可能です。しかし、この程度の同相除去比性能では、ディスクリート抵抗部品のドリフトのミスマッチングが原因で対温度性能が大幅に落ちることになります。

ディスクリート設計で回路を製作する際には、LT1013のノイズ仕様が$\sqrt{2}$倍になっている点に注意してください。2個のオペアンプを使用して製作した計装用アンプの入力には2個のオペアンプがあるので、これらがノイズ全体に関わっていることがその理由です。



50Ωのシャント・インピーダンス抵抗を備えた0−20mA電流ループ

AD622モノリシック計装用アンプ（G＝9.986）

ディスクリート設計で製作した計装用アンプ回路（G＝10）

図14．計装用アンプを購入する場合とディスクリート設計で製作する場合の代表的なアプリケーション回路

表Ⅰ．計装用アンプとしてAD622を購入する場合とディスクリート設計で回路を製作する場合の誤差見積りの比較

誤差要因	AD622回路の誤差の計算値	ディスクリート設計で製作した回路の誤差の計算値	1 V FSに関する誤差のトータル値（ppm）AD622	1 V FSに関する誤差のトータル値（ppm）製作回路
絶対精度（T_A＝＋25℃時）				
RTIオフセット電圧のトータル値、μV	250 μV＋1500 μV/10	800 μV×2	400	1600
入力オフセット電流、nA	2.5 nA×1 kΩ	15 nA×1 kΩ	2.5	15
CMR、dB	86 dB→50 ppm×0.5 V	（0.1%のマッチング比×0.5 V）/10 V	25	50
		絶対誤差のトータル値	427.5	1665
ドリフト（＋85℃まで）				
ゲイン・ドリフト、ppm/℃	（50 ppm＋5 ppm）×60℃	（50 ppm）/℃×60℃	3300	3000
RTIオフセット電圧ドリフトのトータル値、μV/℃	（2 μV/℃＋15 μV/℃/10）×60℃	9 μV/℃×2×60℃	210	1080
入力オフセット電流ドリフト、pA/℃	2 pA/℃×1 kΩ×60℃	155 pA/℃×1 kΩ×60℃	0.12	9.3
		ドリフト誤差のトータル値	3510.12	4089.3
分解能				
ゲイン非直線性、フルスケールのppm	10 ppm	20 ppm	10	20
電圧ノイズの代表値（0.1 Hz～10 Hz）、μVp-p	0.6 μVp-p	0.55 μVp-p×$\sqrt{2}$	0.6	0.778
		分解能誤差のトータル値	10.6	20.778
		総合誤差のトータル値	3948	5575

ゲインの選択

ゲイン設定用抵抗R_Gを使用して、AD622のゲインをプログラミング設定します。もっと厳密に表現すると、AD622のピン1とピン8の間に現れる任意のインピーダンス値によってゲイン設定が行なわれます。許容範囲が1%の標準的な抵抗を使用して、一般的に使用される整数値に可能な限り数値のゲインを設定できるように、AD622は設計されています。種々の値のゲイン設定を行なうときに必要なR_Gの値を表Ⅱに掲載します。G＝1のときには、R_Gピンを無接続状態にする点に注意してください（R_G＝∞）。下記に示す数式を利用して、任意の値のゲイン設定の際に必要なR_Gの値を計算することができます。

$$R_G = \frac{50.5\,k\Omega}{G-1}$$

ゲイン誤差を最小限に抑えるには、R_Gに直列の寄生抵抗値が高くならないように注意が必要です。また、ゲイン・ドリフトを可能な限り低く抑えるには、R_Gとして温度係数の低い抵抗を使用してください。10 ppm/℃より低い温度係数であれば、最高レベルの性能が得られます。

表Ⅱ．ゲイン設定用抵抗として必要な値

必要なゲイン	許容範囲が1%の標準的なR_G値、Ω	ゲインの計算値
2	51.1 k	1.988
5	12.7 k	4.976
10	5.62 k	9.986
20	2.67 k	19.91
33	1.58 k	32.96
40	1.3 k	39.85
50	1.02 k	50.50
65	787	65.17
100	511	99.83
200	255	199.0
500	102	496.1
1000	51.1	989.3

入力および出力オフセット電圧

AD622の低い誤差性能は、いずれも低く抑えられている入力誤差と出力誤差の2つの要因によって構成されています。入力換算時の出力誤差はGの値で除算します。実際には、ゲインを高く設定すると入力誤差が優勢になり、ゲインを低く設定すると出力誤差が優勢になります。ある一定のゲイン設定のときのオフセット電圧のトータル値は、下記の数式を使用して求められます。

RTI（入力換算）誤差のトータル値＝入力誤差＋（出力誤差／G）

RTO（出力換算）誤差のトータル値＝（入力誤差×G）＋出力誤差

電圧リファレンス端子

電圧リファレンス端子上の電位によって、ゼロ出力電圧が規定されます。これは、負荷とシステム内のその他の回路間でグラウンドをまったく共有していない場合に役立ちます。電圧リファレンス端子は、電源電圧範囲内の2 Vの許容電圧範囲で出力に正確なオフセットを注入する直接的な手段として有効です。CMRとして最適な値を確保するためには、寄生抵抗の値を可能な限り低く抑えなければなりません。

入力の保護

AD622の入力部には400Ωの直列薄膜抵抗が用意されているので、1時間までの間に最高で±25 Vまたは±60 mAまでの負荷が入力にかかっても、安全に動作します。この特長はすべてのゲイン設定動作について適用されます。また電源のオン/オフ時にも適用されます。信号源とアンプの電源投入が別個に行なわれることがあるので、この特長は特に重要になります。入力に連続状態で過負荷がかかるときには、電源の値が6 mAを超えることのないように注意してください（$I_{IN} \leqq V_{IN}400\Omega$）。入力の過負荷が電源電圧を超える場合には、（IN418などのダイオードを使用して）電源に対して入力をクランプすると必要な抵抗値を下げることができ、ノイズが低減されることになります。

RF干渉

すべての計装用アンプに共通したことですが、計装用アンプには高周波数の帯域外信号を整流する可能性があります。このような信号が一度整流されると、これらはアンプの出力でDCオフセット誤差として現れます。図15の回路に示すように、ローパス・フィルタを使用して不要なノイズがアンプの差動入力に結合しないように防止することが可能です。1個のコンデンサを計装用アンプの2つの入力間に接続し、さらに2個の抵抗を使用して差動のローパス・フィルタ回路を構成します。差動に接続したコンデンサを使用するもう1つの利点は、同相容量の不平衡を小さくすることです。この利点は、高周波数の同相除去性能の維持に役立ちます。RTDまたは抵抗性のストレイン・ゲージなどのセンサを使用するアプリケーションの場合には、センサを計装用アンプの入力に近接させて配置していれば、フィルタ抵抗を省くこともできます。使用する抵抗の許容誤差範囲または抵抗間のミスマッチング、不適切な回路レイアウト、あるいは（大きな値の抵抗を使用することが原因で起こる）抵抗の過度の熱ノイズがあると、このいずれかの要因によってこのフィルタ回路の有効性が損なわれる可能性が高くなる点に注意することが大切です。

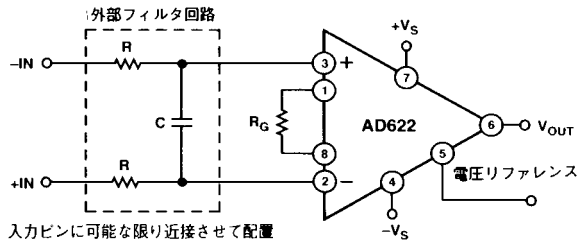


図15．RF干渉を減衰する回路

数多くのアプリケーションで、ノイズを最小限に抑える目的でシールド・ケーブルが利用されますが、CMRの周波数特性を最高レベルに維持するには、シールドを正しく駆動しなければなりません。図16にアクティブ・ガード・ドライバ回路を掲載しています。この回路は入力ケーブル・シールドの容量を“ブート・ストラッピング”し、これによって入力間の容量のミスマッチングを最小限に抑えることで、AC同相除去性能を改善するように構成されています。

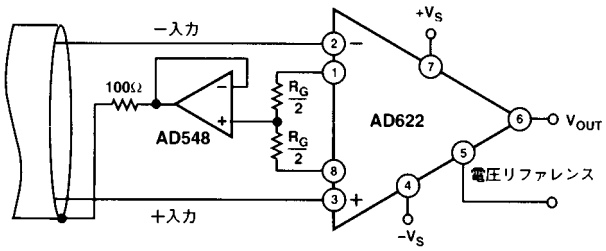


図16．同相シールド・ドライバ回路

グラウンド処理

AD622の出力電圧は電圧リファレンス端子上の電位を基準にして生成されるので、単にREFピンを適切な“ローカル・グラウンド”に接続するだけで、グラウンド処理に関する多くの問題を解消することができます。しかし、この場合には最適なCMR性能を確保するために、インピーダンスの低いグラウンド・ポイントにREFピンを接続してください。

グラウンド・リターンのインピーダンス、つまりDC誤差を可能な限り低く抑えるために、グラウンド・プレーンの使用を推奨します。数多くのデータ・アクイジション用デバイスには、ノイズの多いディジタル回路部から低レベルのアナログ信号を分離させる目的で、アナログ・グラウンド・リターンとディジタル・グラウンド・リターンが個別に用意されています（図15を参照）。“高品質”なアナログ・グラウンド・プレーンを使用して、A/Dコンバータなどのミックスド・シグナル部品からのグラウンド・ピンをすべてリターンさせることが必要です。各グラウンド・プレーンを電源部で接続することによって、アナログ部とディジタル部間の最大限の分離が可能になります。アナログ・グラウンド・プレーンを流れるA/Dコンバータからのディジタル・リターン電流によるノイズ性能に対する影響は、一般的にほとんど無視できます。

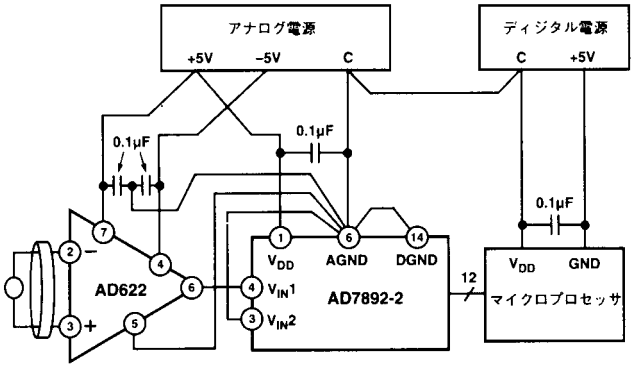


図17．基本的なグラウンド処理回路

入力バイアス電流のグラウンド・リターン

入力バイアス電流は、アンプの入力トランジスタのバイアスに必要な電流です。したがって、入力バイアス電流のダイレクト・リターン経路を用意することが必要です。すなわち、トランス結合あるいはAC結合の信号源などの“フローティング”入力信号源を増幅する際には、図18の各図に示すように各入力とグラウンドの間にDC経路を用意しなければなりません。計装用アンプの使用に関する詳細なアプリケーション情報については、弊社発行の“計装用アンプ・アプリケーション・ガイド”(英文) を参考にしてください。

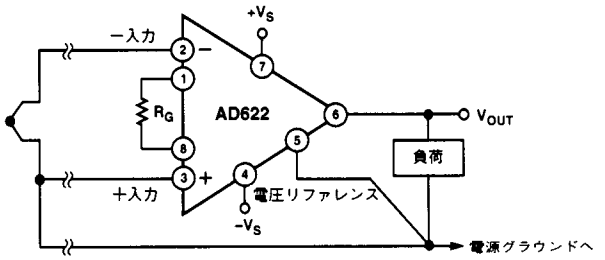


図18a．トランス総合入力の場合のバイアス電流のグラウンド・リターン

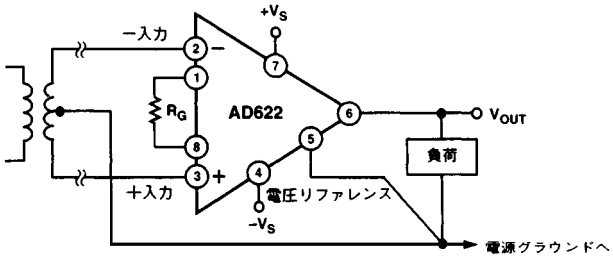


図18b．熱電対入力の場合のバイアス電流のグラウンド・リターン

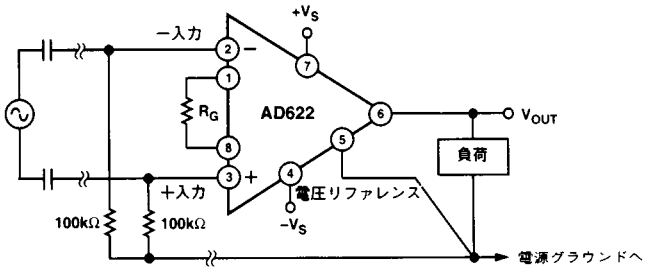
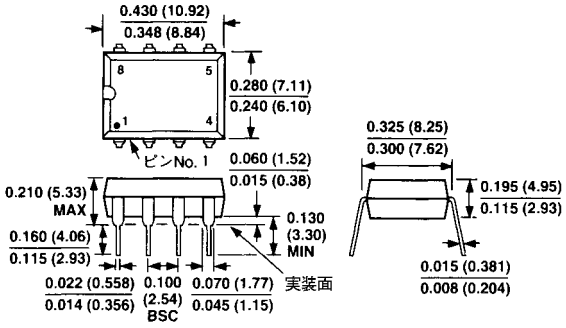


図18c．AC結合入力の場合のバイアス電流のグラウンド・リターン

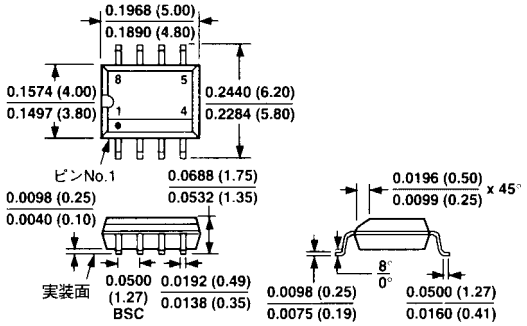
外形寸法

サイズはインチと（mm）で示します。

8ピン・プラスチックDIPパッケージ（N-8）



8ピン・SOICパッケージ（SO-8）



PRINTED IN JAPAN